

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036323

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/76

(21)Application number : 07-187148

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.07.1995

(72)Inventor : TAKAHASHI SHINYA
ITO HITOSHI

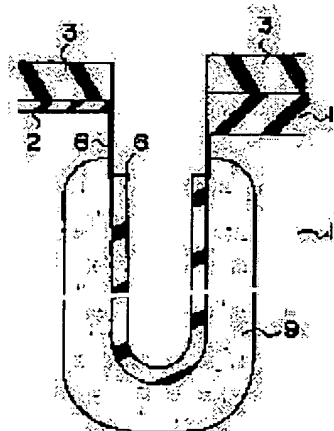
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain the etching of an element isolation oxide film or the like, and improve element characteristics, by eliminating an insulating film containing impurities by using heated hydrogen fluoride water vapor.

SOLUTION: An element isolation oxide film 11, and a thermal oxidation layer 2 and a nitride film 3 which are used as etching protection films when a trench is formed are formed on a substrate 1. The trench has an aperture in the boundary part between the element isolation oxide film 11 and the oxide film 2 on an element region. A PSG film 6 of an SiO₂ film containing phosphorus is deposited. Resist is spread on the PSG film 6, and

exposure is performed without interposing a pattern mask. Resist having a specified depth is left in the trench, and the exposed part of the PSG film 6 is eliminated. After the resist is eliminated, an oxide film 8 is formed. By the heat treatment in an N₂ atmospher, phosphorus is diffused in the substrate 1 from the PSG film 6 left in the trench, and a diffusion layer 9 is formed. Further by V-HF treatment, the PSG film is eliminated, and a desired impurity diffusion layer 9 is formed on the inner wall of the trench.



LEGAL STATUS

1168

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36323

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 2 5 Z
21/8242			21/76	L
21/76				

審査請求 未請求 請求項の数3 O L (全 4 頁)

(21) 出願番号 特願平7-187148

(22) 出願日 平成7年(1995)7月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 高橋 真也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 伊藤 仁

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

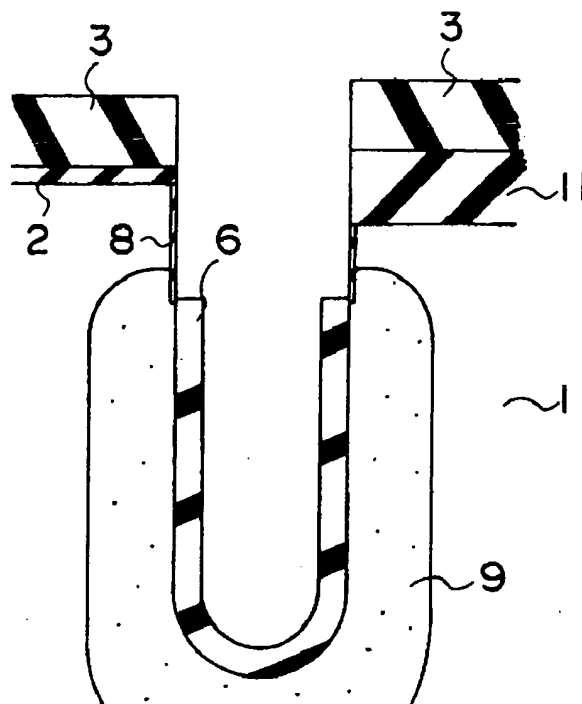
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 溝の内壁に選択的に不純物拡散を行う方法において、素子分離酸化膜等のエッチングを抑制し、素子特性の向上を図る。

【解決手段】 半導体基板1に溝10を形成する工程と、溝10および半導体基板1上に所望の不純物を含有した絶縁膜6を堆積する工程と、溝10の内部の絶縁膜6上に保護膜7を形成する工程と、30℃以上の弗化水素水蒸気中において処理を行い保護膜7に被覆されていない部分の絶縁膜6を除去する工程と、保護膜7を除去する工程と、800℃以上の熱処理により絶縁膜6中の不純物を半導体基板1中に拡散させる工程とを具備し、保護膜7は弗化水素水蒸気処理に対してエッチング耐性を有する半導体装置の製造方法。



【特許請求の範囲】

【請求項1】 半導体基板に溝を形成する工程と、前記溝および前記半導体基板上に所望の不純物を含有した絶縁膜を堆積する工程と、前記溝の内部の前記絶縁膜上に保護膜を形成する工程と、30℃以上の弗化水素水蒸気中において処理を行い前記保護膜に被覆されていない部分の前記絶縁膜を除去する工程と、前記保護膜を除去する工程と、800℃以上の熱処理により前記絶縁膜中の前記不純物を前記半導体基板中に拡散させる工程とを具備し、前記保護膜は前記弗化水素水蒸気処理に対してエッチング耐性を有することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板に溝を形成する工程と、前記溝および前記半導体基板上に所望の不純物を含有した絶縁膜を堆積する工程と、前記溝の内部の前記絶縁膜上に保護膜を形成する工程と、30℃以上の弗化水素水蒸気中において処理を行い前記保護膜に被覆されていない部分の前記絶縁膜を除去する工程と、前記保護膜を除去する工程と、800℃以上の熱処理により前記絶縁膜中の前記不純物を前記半導体基板中に拡散させる工程と、30℃以上の弗化水素水蒸気中において処理を行い前記絶縁膜を除去する工程とを具備し、前記保護膜は前記弗化水素水蒸気処理に対してエッチング耐性を有することを特徴とする半導体装置の製造方法。

【請求項3】 前記不純物は周期律表のIII族、V族元素のグループから選ばれた1つ以上の元素であり、前記絶縁膜は酸化膜である前記請求項1および請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関するもので、特に選択的に不純物拡散を行う方法に関する。

【0002】

【従来の技術】 半導体装置の高集積化に伴い、DRAM (Dynamic Random Access Memory) のようなメモリー装置は小さいセル面積を実現する必要がある。このため、メモリー容量を確保するために、半導体基板中に形成された溝の内部にキャパシタを形成することにより、キャパシタ面積を増加させている。このキャパシタは、たとえば、溝の内壁に形成された不純物拡散層と、溝の内壁上に形成された絶縁膜と、溝の内部に埋め込まれた多結晶シリコン膜とにより構成される。したがって、このような構造のキャパシタを形成するためには、溝の内壁に所望の不純物を制御性良く拡散させる必要がある。

【0003】 溝の内壁に不純物拡散を行う従来の方法を、図5乃至図8を用いて説明する。リソグラフィ法および異方性エッチング技術を用いて、Si基板1に例えば深さ9μmの溝10を形成する。基板1上には、素

ツチング保護膜として、例えば50nm以下の膜厚を有する熱酸化膜(SiO₂)2と膜厚100~400nmの窒化膜(SiN)3が形成されており、溝10はこの例では図5に示すように、素子分離酸化膜11と素子領域上の酸化膜2の境界部分に開口される。

【0004】 この後、減圧CVD法により、例えばリン(P)を102l~1022cm⁻³含むSiO₂膜(以降PSGとする)6を堆積し、リソグラフィ法を用いて、PSG膜6上にレジスト7を塗布してパターンマスクを介せずに露光を行い、窒化膜3上のレジスト7と、溝10の内部のレジスト7のうち基板1表面より1~8μmの深さまでを除去して、溝10の内部にレジスト7を残存させる(図6)。

【0005】 NH₄Fエッチングにより、PSG膜6の露出している部分を除去する。レジスト7を除去した後に、酸化膜8を10nm形成する。この後、例えば温度800℃のN₂雰囲気中において熱処理を行い、溝10の内部に残存させたPSG膜6より基板1中へリンを拡散させて拡散層9を形成する(図7)。

【0006】 さらに、NH₄Fエッチングにより、PSG膜6を除去し、溝10の側面に所望の不純物拡散層9の形成された構造が完成する(図8)。しかし、このような不純物拡散層の形成方法では、PSG膜6を除去するためのNH₄Fエッチングが、熱酸化膜もエッチングしてしまうために様々な弊害を生じる。すなわち、溝10は素子分離領域に重なるように開口されるため、図8に示すように、素子分離酸化膜11が露出している側面部分よりエッチングされて後退し、素子分離耐圧の劣化を招いてしまう。また、同様に、酸化膜2もエッチングされて後退してしまう。例えば、その後にこの酸化膜を通してイオン注入することにより拡散層を形成する時に、この酸化膜2の後退している部分において不純物が深く注入されることにより、拡散層が深く拡散して拡散層9と導通してしまう可能性がある。

【0007】

【発明が解決しようとする課題】 このように、従来の半導体装置の製造方法では、不純物を溝の内壁に拡散するために堆積されたPSG膜を除去する時に、熱酸化膜と選択比のないエッチング方法を用いるために、素子分離酸化膜等の酸化膜がともにエッチングされ、素子特性が劣化させるという問題があった。

【0008】 本発明の目的は、選択的に不純物拡散を行う方法において、素子分離酸化膜等のエッチングを抑制し、素子特性の向上を図ることができる半導体装置の製造方法を提供することである。

【0009】

【課題を解決するための手段】 上記課題を解決し目的を達成するための手段は、従来使用されているNH₄Fエッチングに代えて加熱された弗化水素水蒸気を使用して不純物を絶縁膜に拡散させるものである。

【0010】すなわち、本発明による半導体装置の製造方法は、半導体基板に溝を形成する工程と、前記溝および前記半導体基板上に所望の不純物を含有した絶縁膜を堆積する工程と、前記溝の内部の前記絶縁膜上に保護膜を形成する工程と、30℃以上の弗化水素水蒸気中において処理を行い前記保護膜に被覆されていない部分の前記絶縁膜を除去する工程と、前記保護膜を除去する工程と、800℃以上の熱処理により前記絶縁膜中の前記不純物を前記半導体基板中に拡散させる工程とを具備し、前記保護膜は前記弗化水素水蒸気処理に対してエッチング耐性を有することを特徴とする。

【0011】

【発明の実施の形態】上記手段に示すように、本発明による半導体装置の製造方法では、絶縁膜を除去するために30℃以上の弗化水素水蒸気中における処理を行っている。この処理は、不純物を含有した絶縁膜をエッチングし、熱酸化膜をほとんどエッチングしない性質を有するため、この処理により例えば素子分離酸化膜がエッチングされることを抑制することができる。

【0012】以下、本発明の実施の形態について図面を参照して説明する。図1～図4は本発明による不純物拡散層の形成方法を示す。従来と同様の方法を用いて、Si基板1に例えば深さ9μmの溝10を形成する。基板1上には、素子分離酸化膜11と、溝10を形成する時のエッチング保護膜として、例えば50nm以下の膜厚を有する熱酸化膜(SiO₂)2と、例えば減圧CVD法により形成された膜厚100～400nmの窒化膜(SiN)3が形成されており、溝10はこの例では図1に示すように、素子分離酸化膜11と素子領域上の酸化膜2の境界部分に開口される。

【0013】さらに、従来と同様に、減圧CVD法により、例えばリン(P)を1.021～1.022cm⁻³含むSiO₂膜(PSG膜)6を堆積する。この後、リソグラフィ法を用いて、PSG膜6上にレジスト7を塗布してパターンマスクを介せずに露光を行い、窒化膜3上のレジスト7と、溝10の内部のレジスト7のうち基板1表面より1～8μmの深さまでを除去して、溝10の内部にレジスト7を残存させる(図2)。

【0014】この後、従来のNH₄Fを用いたエッチングと異なり、例えば80℃に加熱した弗化水素水蒸気中において処理を行い(以下V-HF処理という)、PSG膜6の露出している部分を除去する。

【0015】この後、従来と同様にレジスト7を除去した後に、酸化膜8を10nm形成し、例えば温度800

℃のN₂雰囲気中において熱処理を行い、溝10の内部に残存させたPSG膜6より基板1中へリンを拡散させて拡散層9を形成する(図3)。

【0016】さらに、従来のNH₄Fを用いたエッチングと異なり、V-HF処理により、PSG膜6を除去し、溝10の内壁に所望の不純物拡散層9の形成された構造が完成する(図5)。

【0017】このように、本発明による実施の形態によれば、PSG膜を除去するために、従来のNH₄Fによるエッチングと異なり、例えば80℃に加熱したV-HF中において処理を行う。このV-HF処理によるPSGのエッチングレートは400nm/分であり、これに対して熱酸化膜のエッチングレートはわずかに0.1nm/分しかない。このため、PSGと熱酸化膜に対するエッチングレートに差のない従来のNH₄Fによるエッチングように、素子分離酸化膜等がエッチングされることを防止することができる。

【0018】なお、V-HF中における処理によるエッチングレートの選択比(熱酸化膜のエッチングレートに対するPSGのエッチングレート)は、30℃以上において得ることができ、温度と共に上昇し、前述のように80℃において選択比4000が得られる。さらに高温においては選択比が飽和する。また、特に800℃以上の温度においては、窒化膜3のストレスに起因した基板1の結晶欠陥が発生したり、拡散層9が過剰に拡散して素子分離耐圧が劣化する可能性があるため、このような高温処理を行うことは好ましくない。

【0019】

【発明の効果】以上のように、本発明による半導体装置の製造方法によれば、選択的に不純物拡散を行う方法において、素子分離酸化膜等のエッチングを抑制し、素子特性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明による半導体装置の製造方法を示す図。

【図2】本発明による半導体装置の製造方法を示す図。

【図3】本発明による半導体装置の製造方法を示す図。

【図4】本発明による半導体装置の製造方法を示す図。

【図5】従来の半導体装置の製造方法を示す図。

【図6】従来の半導体装置の製造方法を示す図。

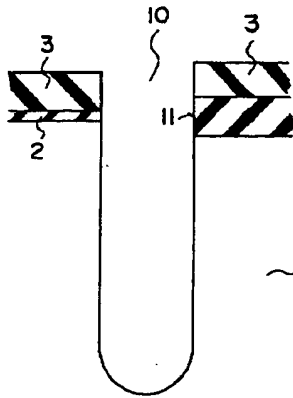
【図7】従来の半導体装置の製造方法を示す図。

【図8】従来の半導体装置の製造方法を示す図。

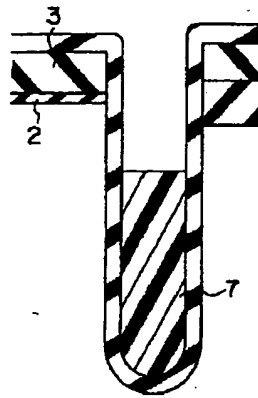
【符号の説明】

1…Si基板、2、8、11…酸化膜、3…窒化膜、6…PSG膜、7…レジスト、9…拡散層、10…溝

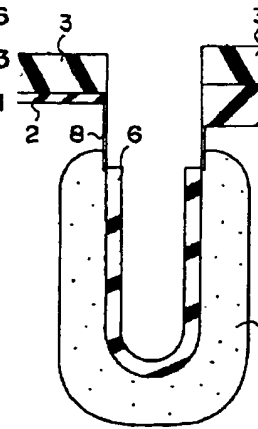
【図1】



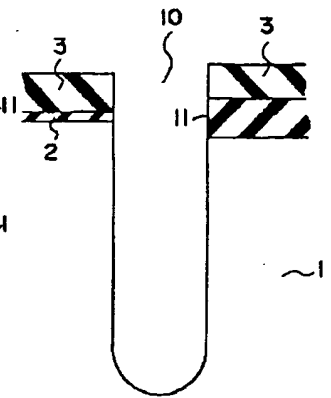
【図2】



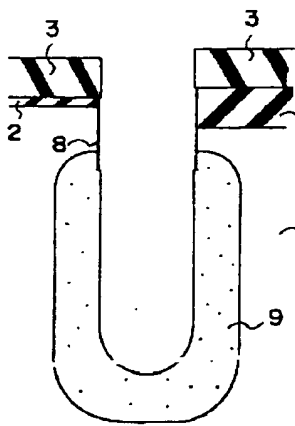
【図3】



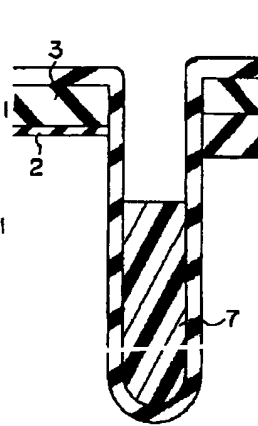
【図5】



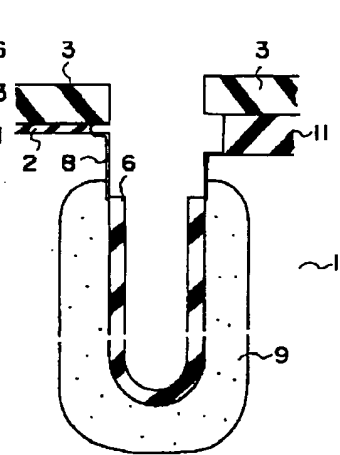
【図4】



【図6】



【図7】



【図8】

